

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11 - 234009

(43) 公開日 平成11年(1999)8月27日

(51) Int. Cl. 6

識別記号

F I

H 0 1 P 7/10

H 0 1 P 7/10

1/04

1/04

3/08

3/08

H 0 3 B 5/18

H 0 3 B 5/18

D

審査請求 未請求 請求項の数 4

O L

(全 7 頁)

(21) 出願番号 特願平10-32882

(22) 出願日 平成10年(1998)2月16日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 梶川 武久

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 坂本 孝一

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 山下 貞夫

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

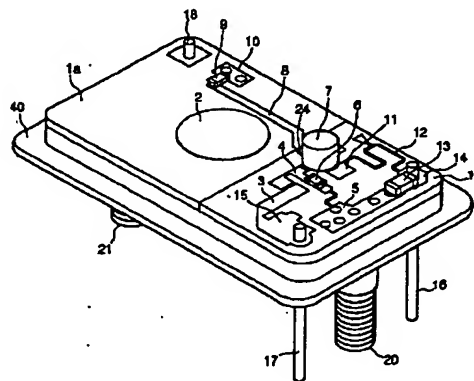
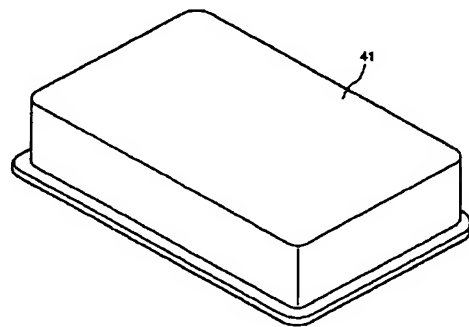
(74) 代理人 弁理士 小森 久夫

(54) 【発明の名称】 発振器装置

(57) 【要約】

【課題】 単体の誘電体共振器を用いることによる、誘電体共振器とマイクロストリップ線路との結合度の再現性の問題を解消するとともに、誘電体基板に誘電体共振器部を構成する場合、誘電体共振器部の大型化および発振器部の寸法精度の問題を解消した発振器装置を提供する。

【解決手段】 誘電体基板 1 a 上に共振器用電極 2 を形成して誘電体共振器部を構成するとともに、誘電体基板 1 b 上に F E T 7 を用いた発振器部を構成し、各構成部が最適な状態となるように、誘電体基板 1 a と 1 b との誘電率を異ならせたり、厚みを異ならせる。



【特許請求の範囲】

【請求項 1】 誘電体基板上に誘電体共振器部と発振器部とを設けて成る発振器装置において、前記誘電体基板上に共振器用電極を形成して前記誘電体共振器部を構成するとともに、該誘電体共振器部を構成する領域と前記発振器部を構成する領域とで誘電体基板の誘電率を異ならせたことを特徴とする発振器装置。

【請求項 2】 誘電体基板上に誘電体共振器部と発振器部とを設けて成る発振器装置において、前記誘電体基板上に共振器用電極を形成して前記誘電体共振器部を構成するとともに、該誘電体共振器部を構成する領域と前記発振器部を構成する領域とで誘電体基板の厚みを異ならせたことを特徴とする発振器装置。

【請求項 3】 前記誘電体共振器部に結合する線路を該誘電体共振器部を構成する領域に設け、前記線路の端部における前記誘電体基板の誘電率または厚みが変化する部分にインピーダンスマッチング回路を設けた請求項 1 または 2 に記載の発振器装置。

【請求項 4】 前記線路を主線路とし、この主線路とは別に前記誘電体共振器部に結合する副線路と、該副線路に接続される可変リアクタンス素子とを前記誘電体共振器部を構成する領域に設けたことを特徴とする請求項 1 ～ 3 のうちいずれかに記載の発振器装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、マイクロ波帯やミリ波帯で使用される発振器に関する。

【0002】

【従来の技術】 近年の移動体通信システムの需要の拡大および伝送情報量の拡大に伴って、通信帯域がマイクロ波帯からミリ波帯へ拡大されようとしている。このような高周波帯域において発振器を構成する場合、その共振器として誘電体共振器が用いられている。

【0003】 図 7 は従来の発振器の構成を示す分解斜視図である。同図において 1 は誘電体基板であり、その表面にマイクロストリップ線路 8 などの各種導電体パターンを形成し、FET 7 を実装することによって発振回路を構成し、さらに誘電体基板 1 の上面に支持台 43 を介して誘電体共振器 42 を配置させている。このような誘電体基板 1 をステム 40 に載置し、キャップ 41 を被せることによって誘電体基板 1 の周囲全体をシールドしている。

【0004】 図 8 は図 7 に示した誘電体共振器の共振モードによる磁界分布とマイクロストリップ線路との結合関係を示す図である。ここで誘電体共振器 42 は TE01δ モードで共振し、その磁界がマイクロストリップ線路 8 と結合する。このように、誘電体共振器 42 の磁界分布は図 8 に示すように周囲に広がっている。

【0005】

【発明が解決しようとする課題】 このような TE01δ

モードの誘電体共振器を用いた従来の発振器においては、誘電体共振器の共振周波数が円柱形状の誘電体の比誘電率と外形寸法によって決定され、またマイクロストリップ線路との結合が、相互間の距離によって決定されるため、誘電体共振器 42 と支持台 43 に高い寸法精度が要求され、さらに誘電体基板 1 上への誘電体共振器 42 の高い位置決め精度が要求される。また、マイクロストリップ線路 8 と誘電体共振器 42 との結合を変化させるために、誘電体共振器 42 の位置を変化させると、誘電体共振器 42 の磁界分布は図 8 に示したように周囲に広がっているため、誘電体共振器 42 はマイクロストリップ線路 8 以外の他の線路とも結合して結果的に発振条件が変化する。そのために誘電体共振器 42 とマイクロストリップ線路 8 との結合を独立して変化させられない。このことにより、誘電体共振器 42 とマイクロストリップ線路 8 との位置関係による結合度の再現性が悪く、安定した特性が得にくいという問題があった。また、TE01δ モードの誘電体共振器は誘電体部分へのエネルギーの閉じ込め性が比較的低いため、所定のマイクロストリップ線路以外の線路との不要結合を防止するために、誘電体共振器に結合させない線路と誘電体共振器との間隔を大きく隔てなければならず、全体に小型化が困難になるという問題もあった。

【0006】 そこで誘電体基板の一部を誘電体共振器部として作用させることが考えられる。そのような発振器装置を設計する際、誘電体共振器部と発振器部とについて、それぞれ所定の特性が得られるように設計を行うことになる。

【0007】 しかし、誘電体共振器部が最適な状態となるように設計する場合、小型で Qo の良好な誘電体共振器を設計するために、誘電体基板としては、誘電率が高く且つ誘電正接 (tan δ) が小さい誘電体材料を選ぶことになる。ところがこのとき基板の誘電率が高いため、発振器部のパターンは小さくなりすぎ、パターン間で不要な結合が生じたり、相対的な寸法精度が低下するため量産性が悪くなる。一方、発振器部が最適となるように設計する場合、誘電体共振器部が最適となるように設計する場合より低誘電率の誘電体基板を用いることになり、発振器部のパターン間での不要な結合を避け、相対寸法精度を高くすることができるとは、その反面、誘電体共振器部が大きくなるといった問題が生じる。

【0008】 この発明の目的は、従来の単体の誘電体共振器を用いることによる問題を解消するとともに、誘電体基板に誘電体共振器部を構成する場合の上述した問題を解消した発振器装置を提供することにある。

【0009】

【課題を解決するための手段】 この発明の発振器装置は、請求項 1 に記載のとおり、誘電体基板上に誘電体共振器部と発振器部とを設けて成る発振器装置において、誘電体基板上に共振器用電極を形成して前記誘電体共振

器部を構成するとともに、該誘電体共振器部を構成する領域と前記発振器部を構成する領域とで誘電体基板の誘電率を異ならせる。この構成によれば、誘電体共振器部を構成する領域を誘電体共振器部に適する誘電率とし、発振器部を構成する領域を発振器部に適する誘電率にすることができ、小型でＱの高誘電体共振器部を構成するとともに、パターン間の不要結合がなくパターンの相対寸法精度の高い、量産性の高い発振器部を構成することができる。

【0010】またこの発明の発振器装置は、請求項２に記載のとおり、上記誘電体共振器部を構成する領域と発振器部を構成する領域とで誘電体基板の厚みを異ならせる。

【0011】これにより、例えば誘電体共振器部と発振器部の誘電率が同一であっても誘電体共振器部と発振器部の構成にそれぞれ適した誘電体基板とすることができる。一般には、誘電体共振器部を構成する領域の誘電体基板の厚みを、発振器部を構成する領域の誘電体基板の厚みより厚くすることにより、Ｑの高い誘電体共振器部を構成する（表１参照）とともに、発振器部のパターンを適度な大きさとし、パターン間の不要結合の問題および相対寸法精度の低下の問題が避けられる。

【0012】またこの発明の発振器装置は、請求項３に記載のとおり、前記誘電体共振器部に結合する線路を該誘電体共振器部を構成する領域に設け、前記線路の端部における前記誘電体基板の誘電率または厚みに変化する部分にインピーダンスマッチング回路を設ける。これにより、線路同士の接続部の不連続性による不要な反射がなくなり、動作の安定した発振器が構成される。

【0013】また、この発明の発振器装置は、請求項４に記載のとおり、前記線路を主線路とし、この主線路とは別に前記誘電体共振器部に結合する副線路と、該副線路に接続される可変リアクタンス素子とを前記誘電体共振器部を構成する領域に設ける。この構成により、誘電体共振器部を構成する領域は周波数可変共振器部となる。

【0014】

【発明の実施の形態】この発明の第１の実施形態に係る発振器の構成を図１～図３を参照して説明する。

【0015】図１は発振器の分解斜視図である。同図において４０はステムであり、図における下方へピン１６、１７、１８をそれぞれ絶縁状態で突出させている。また同方向に固定用のネジ２０、２１を突出させている。このステム４０の上部には、各種の導電体パターンを形成するとともに部品を実装した誘電体基板１ａ、１ｂを載置している。またステム４０の上部にキャップ４１を被せることによって、誘電体基板１ａ、１ｂの周囲をシールドしている。

【0016】誘電体基板１ａ、１ｂの図における下面に

は、ピン１６、１７、１８が通る部分を避けてほぼ全面にアース電極を形成している。この誘電体基板１ａと１ｂとは当接させて、または所定の間隙を隔てて対向させて、ステム４０の上部に載置している。

【0017】誘電体基板１ａの上面において、２は円形の共振器用電極であり、この共振器用電極２と誘電体基板１ａ下面のアース電極との間がＴＭ０１０モードの誘電体共振器として作用する。８はマイクロストリップ線路であり、上記誘電体共振器に対して容量結合する。１０はアース電極であり、上記誘電体共振器と結合するマイクロストリップ線路８の他方の端部とアース電極１０との間には終端抵抗としてのチップ抵抗９を接続している。

【0018】誘電体基板１ｂの上部において、７はＦＥＴであり、マイクロストリップ線路８の一方の端部に接続されるゲート端子接続電極２４とマイクロストリップ線路４、１１にそれぞれ接続している。５はアース電極であり、マイクロストリップ線路４との間にチップ抵抗６を接続している。マイクロストリップ線路４と３との間には誘電体基板１ｂ上に静電容量を形成して、マイクロストリップ線路３から延びる電極１５を出力電極としてピン１７に接続している。マイクロストリップ線路１１と入力電極１４との間はインダクタとしてのマイクロストリップ線路１２で接続している。入力電極１４とアース電極５との間にはチップコンデンサ１３を接続している。

【0019】マイクロストリップ線路８の端部と、ゲート端子接続電極２４との間にはリボンまたはワイヤによるボンディング接続を行っている。

【0020】図２は上記誘電体基板１ａに構成される誘電体共振器部の電界分布の例を示す断面図である。このように誘電体基板１ａを挟んで、少なくとも一方の共振器用電極２を円形とすることによって、ＴＭ０１０モードの誘電体共振器として作用する。

【0021】図３は図１に示した発振器の等価回路図である。図中の番号は図１に示した各部の番号に対応している。図３に示すように、共振器用電極２による共振器と結合し、抵抗９により終端されたマイクロストリップ線路８がＦＥＴ７のゲートに接続されている。電源入力電圧はチップコンデンサ１３とインダクタ１２によるフィルタを介してＦＥＴ７のドレインに印加される。発振信号はコンデンサを介してＦＥＴ７のソースから出力端子へ取り出される。このようにして帯域反射型発振回路を構成する。

【0022】ここで、各種誘電体基板を用いて、上記誘電体共振器部を、共振周波数１５ＧＨｚのＴＭ０１０モードの共振器とするための各部の寸法などの関係を示す。

【0023】

【表１】

基板	D mm	Qo	λg mm	w mm
PTFE $\epsilon_r=2.6$ $t=0.8$ mm $\tan \delta=1.0e-03$	15.2	586	13.4	2.25
樹脂基板 $\epsilon_r=3.5$ $t=0.8$ mm $\tan \delta=3.0e-03$	13.1	270	11.8	1.85
アルミナ $\epsilon_r=10.0$ $t=0.8$ mm $\tan \delta=1.5e-03$	7.73	453	7.32	0.83
セラミック基板 $\epsilon_r=24.0$ $t=0.8$ mm $\tan \delta=4.3e-05$	4.99	1337	4.84	0.37
セラミック基板 $\epsilon_r=30.0$ $t=0.8$ mm $\tan \delta=1.0e-04$	4.46	1242	4.36	0.31
セラミック基板 $\epsilon_r=30.0$ $t=1.2$ mm $\tan \delta=1.0e-04$	4.46	1755	4.06	0.79
セラミック基板 $\epsilon_r=30.0$ $t=1.6$ mm $\tan \delta=1.0e-04$	4.46	2210	3.90	1.50

【0024】上表において、 t は誘電体基板の厚み、 D は共振器用電極の直径、 Q_o は誘電体共振器部の無負荷

【0025】誘電体共振器部を構成した上記誘電体基板1aは、それ単体で誘電体共振器部の共振周波数やマイクロストリップ線路との結合度を調整する。また、発振器部を構成した上記誘電体基板1bは、それ単体で発振器部の負荷特性等を調整する。これらの調整済の誘電体

【0026】次に、第2の実施形態に係る発振器装置の構成を図4に示す。(A)はその部分斜視図である。

(キャップは図において省略している。)この例では誘電体基板1aの厚み寸法を誘電体基板1bの厚み寸法より大きくしている。そして、そのことによりマイクロストリップ線路8の端部とゲート端子接続電極24との接続部分に段差が生じることになる。このように誘電体基板の厚み寸法が異なる場合、一般にマイクロストリップ線路8の特性インピーダンスとゲート端子接続電極(マイクロストリップ線路)24の特性インピーダンスとが異なった値となるため、両者の接続部分にインピーダン

スマッチング回路を構成する。

【0027】同図の(B)はそのインピーダンスマッチング回路を設けない場合の構成を示す部分平面図および等価回路図である。同図において25は誘電体基板1bに設けたゲート端子接続用マイクロストリップ線路であり、その線路のインピーダンスを Z_1 とする。また、マイクロストリップ線路8のインピーダンスを Z_1 とする。この両者の電極をボンディング用リボン23でボンディングし、このボンディング用リボンの持つリアクタンスを L_1 とする。マイクロストリップ線路8および25のリボン接続点での浮遊容量をそれぞれ C_1a 、 C_1b とする。一般にこの接続点での C_1a 、 C_1b は小さく、これによる線路のミスマッチは小さく、これに比べてリボンのリアクタンス L_1 によるミスマッチが大きく支配的となる。

【0028】同図の(C)は上記インピーダンスマッチング回路部分の構成を示す部分平面図および等価回路図である。同図において24はマイクロストリップ線路25の端部に設けたインピーダンスマッチング用の電極である。また、26はマイクロストリップ線路8の端部に設けたインピーダンスマッチング用の電極である。マッチング用電極26、24の電極の容量をそれぞれ C_2a 、 C_2b とする。この C_2a 、 C_2b の値を所定値とすることにより、容量 C_2a 、 C_2b とリボンのリアクタンス L_1 による π 型回路で所定の周波数でのインピーダンスマッチングを図っている。

【0029】次に第3の実施形態に係る発振器装置の構成を図5および図6を参照して説明する。

【0030】図5は発振器の主要部の構成を示す斜視図である。誘電体基板1aの上面において、31は共振器用電極2による共振器と結合するマイクロストリップ線路であり、その端部とアース電極33との間にバラクタ

20

30

40

50

ダイオード 32 を実装している。またマイクロストリップ線路 31 の端部から、インダクタとしてのマイクロストリップ線路 34 を形成している。36 は制御電極であり、この制御電極 36 とマイクロストリップ線路 34 の端部との間にチップ抵抗 35 を実装している。また制御電極 36 とアース電極 10 との間にチップコンデンサ 37 を実装している。ピン 18 は制御電極 36 に接続している。また、共振器用電極 2 とマイクロストリップ線路 8、31 とは、直流的に連続する導電体パターンとして

いる。この連続部分の幅と長さによって、誘電体共振器部とマイクロストリップ線路との結合度を定めている。図 5 においてその他の部分の構成は図 4 に示したものと同様である。

【0031】図 6 は図 5 に示した発振器の等価回路図である。図 6 の発振器部の構成は図 3 に示したものと同様である。図 6 においてマイクロストリップ線路 8 は主線路、31 は副線路として作用し、インダクタ 34、抵抗 35 およびコンデンサ 37 は R F フィルタとして作用し、制御入力電圧によってバラクタダイオード 32 の静電容量が変化し、これにより副線路 31 の装荷容量が変

化することになるため、それに応じて F E T 7 による発振周波数が変化する。

【0032】図 4 および図 5 に示した例では、2 枚の誘電体基板を用いたが、誘電体共振器部を構成する領域の厚みと発振器部を構成する領域の厚みが異なった単一の誘電体基板を用いてもよい。

【0033】また、以上に述べた各実施形態では共振器用電極 2 とマイクロストリップ線路 8、31 の導電体パターンを連続するパターンとして同時に形成するか、近接させるようにしたが、マイクロストリップ線路 8、31 と共振器用電極 2 との間をワイヤボンディングしてもよい。

【0034】

【発明の効果】請求項 1 ～ 4 に記載の発明によれば、誘電体共振器部と発振器部とをそれぞれ最適に設計することができる。また、誘電体共振器部と発振器部とをそれぞれ単体の状態で調整できるため、それぞれに個別の調整が可能となり、所望の特性が容易に得られる。

【0035】また、特に請求項 1 に記載の発明によれば、誘電体共振器部を構成する領域を誘電体共振器部に適する誘電率とし、発振器部を構成する領域を発振器部に適する誘電率にすることができ、小型で Q の高い誘電体共振器部を構成するとともに、パターン間の不要結合がなくパターンの相対寸法精度の高い、量産性の高い発振器部を構成することができる。

【0036】請求項 2 に記載の発明によれば、誘電体共振器部と発振器部とで同一材料の誘電体基板を用いても、誘電体共振器部と発振器部の構成にそれぞれ適した誘電体基板とすることができ、小型で Q の高い誘電体共振器部を構成するとともに、発振器部のパターンを適

度な大きさとすることができ、パターン間の不要な結合の問題および相対寸法精度の低下の問題が避けられる。

【0037】請求項 3 に記載の発明によれば、誘電体共振器部とそれに結合する線路とが同じ領域（誘電体共振器部を構成する領域）に設けられるため、誘電体共振器部と線路との相対的位置関係を高精度に保つことができ、両者間の結合度のばらつきを抑えることができる。しかも線路の端部における誘電体基板の誘電率または厚みが増加する部分でインピーダンスマッチングが採られるため、不要な信号の反射がなくなり、動作の安定した発振器が構成される。

【0038】請求項 4 に記載の発明によれば、誘電体共振器に結合する副線路に接続される可変リアクタンス素子に対する制御電圧によって、発振周波数が変化するため、電圧により発振周波数を制御することが可能となる。

【図面の簡単な説明】

【図 1】第 1 の実施形態に係る発振器装置の構成を示す分解斜視図である。

【図 2】誘電体共振器部の電界分布の例を示す断面図である。

【図 3】発振器装置の等価回路図である。

【図 4】第 2 の実施形態に係る発振器装置の分解斜視図およびインピーダンスマッチング回路部の構成を示す図である。

【図 5】第 3 の実施形態に係る発振器装置の分解斜視図である。

【図 6】同発振器装置の等価回路図である。

【図 7】従来の発振器装置の構成を示す分解斜視図である。

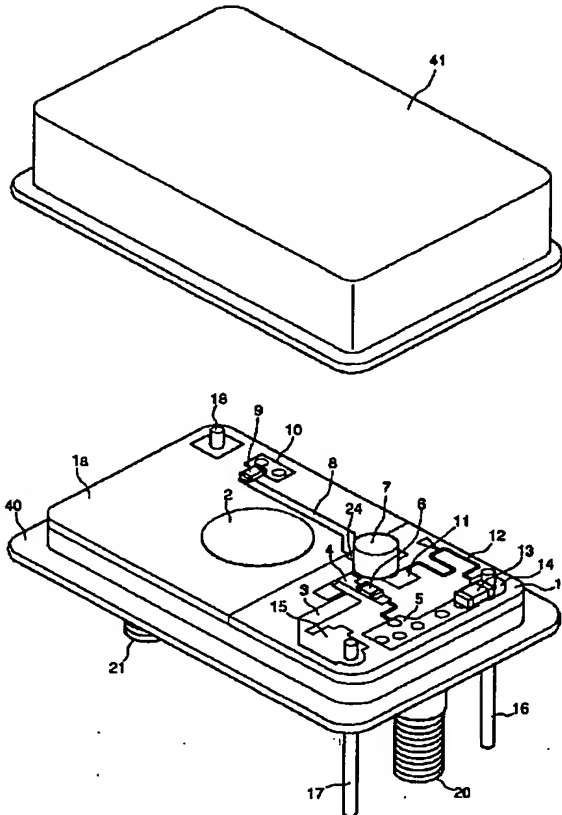
【図 8】同発振器装置で用いる誘電体共振器の磁界分布の例を示す図である。

【符号の説明】

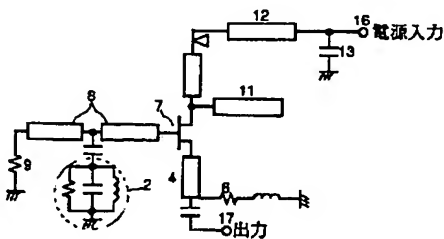
- 1 a, 1 b - 誘電体基板
- 2 - 共振器用電極
- 3, 4 - マイクロストリップ線路
- 5 - アース電極
- 6 - チップ抵抗
- 7 - F E T
- 8 - マイクロストリップ線路（主線路）
- 8' - インピーダンスマッチング用電極
- 9 - チップ抵抗
- 10 - アース電極
- 11, 12 - マイクロストリップ線路
- 13 - チップコンデンサ
- 14 - 入力電極
- 15 - 出力電極
- 16 ~ 18 - ピン
- 19 - アース電極
- 20, 21 - ネジ

- 22-ワイヤ
- 23-リボン
- 24-ゲート端子接続電極
- 31-マイクロストリップ線路 (副線路)
- 32-バラクタダイオード
- 33-アース電極
- 34-マイクロストリップ線路 (インダクタ)

【図1】

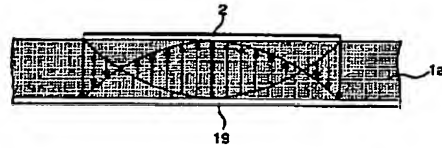


【図3】

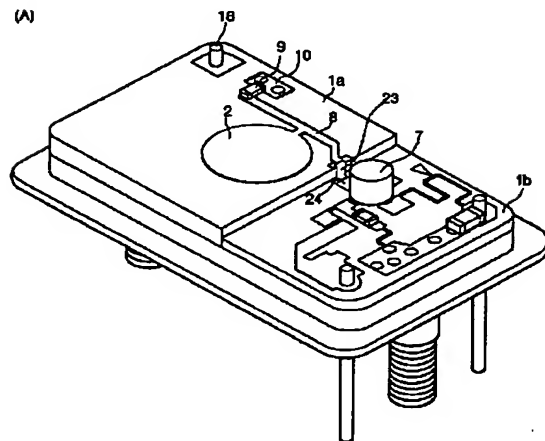


- 35-チップ抵抗
- 36-制御電極
- 37-チップコンデンサ
- 40-ステム
- 41-キャップ
- 42-誘電体共振器
- 43-支持台

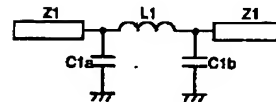
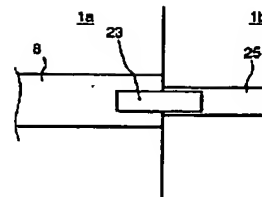
【図2】



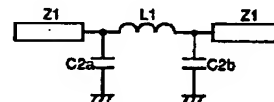
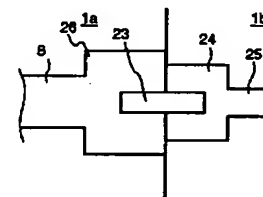
【図4】



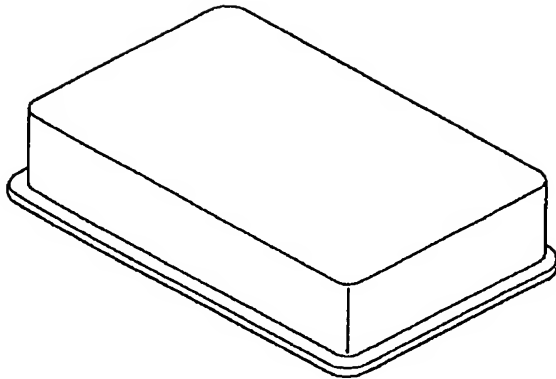
(B)



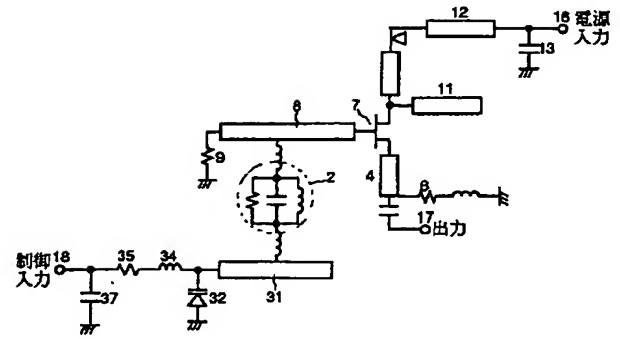
(C)



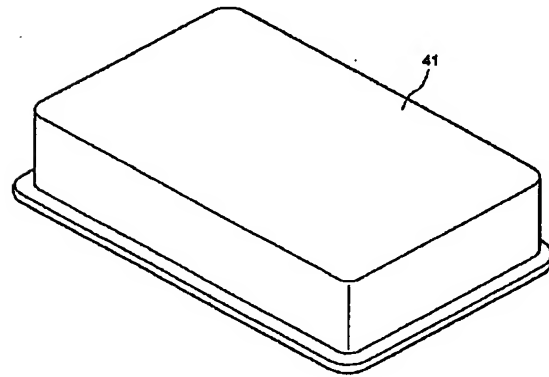
【図 5】



【図 6】



【図 7】



【図 8】

